



日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 8月 4日

出願番号

Application Number:

特願2000-237521

出願人

Applicant (s):

イノテック株式会社

RECEIVED

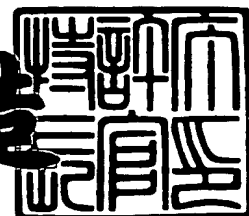
APR 18 2002

Technology Center 2600

2001年 1月26日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3001542

【書類名】 特許願

【整理番号】 ITC-22

【提出日】 平成12年 8月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14
H04N 5/335

【発明者】

【住所又は居所】 神奈川県横浜市港北区新横浜3丁目17番6号 イノテック株式会社内

【氏名】 三井田 ▲高▼

【特許出願人】

【識別番号】 593102345

【氏名又は名称】 イノテック株式会社

【代理人】

【識別番号】 100091672

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0005447

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置の光信号蓄積方法

【特許請求の範囲】

【請求項 1】 受光ダイオードと、該受光ダイオードに隣接する光信号検出用電界効果トランジスタと、前記光信号検出用電界効果トランジスタのチャネル領域の下であってソース領域の近傍に設けられ、前記受光ダイオードで発生した光発生電荷を蓄積するキャリアポケットとを備えた単位画素を有する固体撮像装置の光信号蓄積方法において、

前記受光ダイオードから前記キャリアポケットに転送され、蓄積される前記光発生電荷が前記チャネル領域内の界面準位によって影響を受けないように、少なくとも前記光発生電荷の転送中は前記チャネル領域を反転させておくことを特徴とする固体撮像装置の光信号蓄積方法。

【請求項 2】 前記光信号検出用電界効果トランジスタは、p 型のウエル領域に形成された n 型のソース領域、n 型のドレイン領域、及び前記ソース領域と前記ドレイン領域の間のチャネル領域と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを有し、前記チャネル領域を反転させたときに前記チャネル領域内に誘起し、蓄積する電荷は電子であり、かつ前記キャリアポケットに蓄積すべき光発生電荷は正孔であり、

前記光発生電荷を前記キャリアポケットに転送して蓄積する期間 A に、前記ゲート電極を正の電位に保持し、前記ソース領域及び前記ドレイン領域を前記ゲート電極の下に反転層が形成される電位に保持し、

前記光発生電荷を前記キャリアポケットに転送して蓄積する期間の終了時の期間 B に、前記ゲート電極を前記期間 A におけるゲート電極の正の電位よりも低い正の電位に保持し、前記ドレイン領域を前記期間 A におけるドレイン領域の正の電位よりも高い正の電位に保持することを特徴とする請求項 1 記載の固体撮像装置の光信号蓄積方法。

【請求項 3】 前記光発生電荷を前記キャリアポケットに転送して蓄積する期間が終了した後に、前記光信号検出用電界効果トランジスタに電流を流して閾値電圧の変調を読み出すことを特徴とする請求項 1 又は 2 記載の固体撮像装置の

光信号蓄積方法。

【請求項 4】 前記固体撮像装置は前記単位画素が行と列に複数配置されており、同じ前記行に並ぶ前記絶縁ゲート型電界効果トランジスタのゲート電極同士が相互に接続され、同じ前記行に並ぶ前記絶縁ゲート型電界効果トランジスタのドレイン領域同士が相互に接続され、同じ前記列に並ぶ前記絶縁ゲート型電界効果トランジスタのソース領域同士が相互に接続されていることを特徴とする請求項 1 乃至 3 の何れか一に記載の固体撮像装置の光信号蓄積方法。

【請求項 5】 前記固体撮像装置は、前記ゲート電極に走査信号を供給する垂直走査信号駆動走査回路と、前記ドレイン領域にドレイン電圧を供給するドレイン電圧駆動走査回路と、前記ソース領域の電圧を記憶し、さらに前記ソース領域の電圧に対応した光信号を出力する信号出力回路と、前記光信号を読み出すタイミングを制御する走査信号を供給する水平走査信号入力走査回路とを有することを特徴とする請求項 1 乃至 4 の何れか一に記載の固体撮像装置の光信号蓄積方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、固体撮像装置の光信号蓄積方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式の MOS 型イメージセンサを用いた固体撮像装置の光信号蓄積方法に関する。

【 0 0 0 2 】

【従来の技術】

CCD 型イメージセンサや MOS 型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。

特に、近年、CCD 型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じ CMOS 技術によって作成できるという利点を生かして、MOS 型イメージセンサが見直されている。

【 0 0 0 3 】

このような世の中の動向に鑑み、本願出願人はMOS型イメージセンサの改良を行い、光信号検出用MOSトランジスタのチャネル領域下にキャリアポケット（高濃度埋込層）25を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。

このMOS型イメージセンサは特許（登録番号2935492号）の図8（a）に示す回路構成を有し、その動作においては、図8（b）に示すように、蓄積期間－読出期間－初期化期間－・・・を経る。蓄積期間に光照射により光発生正孔を生じさせてホールポケット25に蓄積させ、読出期間に光発生正孔の蓄積量に比例した光信号を検出する。初期化期間に各電極に高い逆電圧を印加して空乏化させ、ホールポケット25に残る光発生正孔を放出させる。

【 0 0 0 4 】

また、本願出願人は、この特許（登録番号2935492号）に係る発明に関連して種々の新たな出願を行っているが、それらによれば、この出願の図8に示すように、蓄積期間において、ゲート電極の電位（ V_{pg} （ V_{SCAN} ））を低い電圧、即ち一般には接地電位にし、ドレイン電位（ V_{pd} ）及びソース電位（ V_{ps} ）をゲート電位より高い電位、即ち多くは凡そ3.3Vにしている。このように、光信号検出用MOSトランジスタがカットオフ状態（デプリーション状態）を維持するようにした上で、受光ダイオードで発生した光発生電荷をチャネル領域下のキャリアポケット25に輸送している。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記蓄積期間において、ゲート絶縁膜とチャネル領域との界面での準位から光発生電荷と同種類のキャリアが放出されることがある。この場合、界面準位から放出されたキャリアはキャリアポケット25に流れ込んでリーク電流となる。このため、光発生電荷以外の正孔がキャリアポケット25に蓄積されることになる。

【 0 0 0 6 】

このような場合に、感度向上のためパターンの微細化が行なわれた場合、従来

問題にはならなかったようなわずかなリーク電流でも正孔がキャリアポケット 25 に多量に蓄積されて、映像画面に明るい輝線が生じるという所謂白キズが発生するという問題が生じる恐れがある。

また、リーク電流に起因するものではなく、キャリアポケット 25 に正常に光発生電荷のみが蓄積されたとしても、必要以上の過剰な光発生電荷が蓄積する場合がある。

【 0 0 0 7 】

この場合、過剰に蓄積された光発生電荷により非選択単位画素（セル）（ $V_{pg} = 0$ ）は深いディプレッション状態となり、ソース電位の上昇をもたらす。一方、選択セルでは、蓄積電荷が低レベルの場合にソース電位は低くなり、選択弁別マージンは減少して、映像画面に垂直方向に縞状の明るい帯が生じるという所謂スミア特性の劣化の原因となる。

【 0 0 0 8 】

本発明は、上記従来技術の問題点に鑑みて創作されたものであり、ゲート絶縁膜とチャネル領域の界面での準位からの電荷の放出に基づくリーク電流に起因する所謂白キズの発生を防止し、かつ過剰な光発生電荷に起因するスミアの発生を防止することができる固体撮像装置の光信号蓄積方法を提供するものである。

【 0 0 0 9 】

【課題を解決するための手段】

上記課題を解決するため、この発明は固体撮像装置の光信号蓄積方法に係り、その光信号蓄積方法に用いる固体撮像装置の基本構成として、図 7 に示すように、受光ダイオード 111 と受光ダイオード 111 に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ（MOS トランジスタ）112 とを含む単位画素 101 を有し、単位画素 101 においては、受光ダイオード 111 と MOS トランジスタ 112 とは相互に接続したウエル領域 15a、15b に形成され、受光ダイオード 111 の不純物領域 17 と MOS トランジスタ 112 のドレイン領域 17a とが相互に接続され、MOS トランジスタ 112 のソース領域 16 の周辺部のウエル領域 15b 内に光発生電荷を蓄積するキャリアポケット 25 を有していることを特徴としている。

【 0 0 1 0 】

本発明においては、受光ダイオード 1 1 1 で光照射により発生した光発生電荷をキャリアポケット 2 5 に転送し、蓄積する期間 A において、チャネル領域を反転させてチャネル領域内の界面準位に捕獲された電荷の放出を防止しつつ、光発生電荷をキャリアポケット 2 5 に転送し、蓄積期間の終了時の期間 B に、チャネル領域をディプリーション状態にするとともに、受光ダイオード 1 1 1 からキャリアポケット 2 5 に光発生電荷を向かわせるより強い電界を形成し、さらに残りの光発生電荷をキャリアポケット 2 5 に転送して蓄積している。

【 0 0 1 1 】

例えば、光発生電荷をキャリアポケット 2 5 に転送して蓄積する期間 A に、図 2 (a) に示すように、ゲート電極 1 9 を正の電位（例えば 2 . 0 V）に保持し、ソース領域 1 6 及びドレイン領域 1 7 a をゲート電極 1 9 の正の電位よりも低い正の電位（例えば 1 . 6 V）に保持する。即ち、p 型のウエル領域 1 5 b の場合、チャネル領域内に十分な電荷（電子）を誘起し、蓄積してチャネル領域を反転状態とする。

【 0 0 1 2 】

これにより、チャネル領域内の界面準位の正孔発生中心は非活性化されて、界面準位に捕獲された電荷（正孔）の放出が防止される。即ち、リーク電流が抑制されるため、光発生電荷以外の正孔のキャリアポケット 2 5 への蓄積が抑制されて、映像画面において所謂白キズの発生を防止することができる。

また、チャネル領域が反転状態となるようにゲート電極 1 9 、ドレイン領域 1 7 a 及びソース領域 1 6 の電位を保持することにより、図 3 (a) に示すように、ウエル領域 1 5 b の表面側の電位を持ち上げて、キャリアポケット 2 5 の電位の底と頂上との間の電位差（ポテンシャル）を低くすることができる。特に、ゲート電極 1 9 等の電位を適当に調整することにより、チャネル領域が反転状態を維持しつつ、キャリアポケット 2 5 のポテンシャルを適当な高さにすることが出来る。これにより、上記期間 A において、過剰な光発生電荷をキャリアポケット 2 5 内からオーバフローさせて、キャリアポケット 2 5 に蓄積される光発生電荷の量を適正に保持して所謂スミアを防止することができる。

【 0 0 1 3 】

なお、光発生電荷をキャリアポケット 2 5 に転送して蓄積する期間の終了時の期間 B に、ゲート電極 1 9 を期間 A におけるゲート電極 1 9 の正の電位よりも低い正の電位 (0 V) に保持し、ドレイン領域 1 7 a を期間 A におけるドレイン領域 1 7 a の正の電位よりも高い正の電位 (例えば、 3 . 3 V) に保持することにより、チャネル領域をディプリーション状態にするとともに、光発生電荷を受光部からキャリアポケット 2 5 に移動させるようなより強い電界をウエル領域 1 5 a、1 5 b 内に形成し、残りの光発生電荷を余さずにキャリアポケット 2 5 に蓄積させることができる。

【 0 0 1 4 】

なお、ウエル領域 1 5 b 等が上記と逆の導電型の場合、即ちウエル領域とキャリアポケットが n 型の場合、キャリアポケットはエレクトロンポケット (キャリアポケット) となり、光発生電子を蓄積することになる。この場合、チャネル領域に十分な電荷 (正孔) を誘起し、蓄積して、チャネル領域の界面準位に捕獲された電荷 (電子) の放出を防止するとともに、キャリアポケットのポテンシャルを適当な高さにする。

【 0 0 1 5 】

【 発明の実施の形態 】

以下に、本発明の実施の形態について図面を参照しながら説明する。

最初に、本発明の実施の形態に係る固体撮像装置の光信号蓄積方法に用いられる MOS 型イメージセンサの単位画素の構成について以下に説明する。

図 7 は、MOS 型イメージセンサの単位画素内における素子の断面図である。

【 0 0 1 6 】

図 7 に示すように、単位画素 (セル) 1 0 1 内に受光ダイオード 1 1 1 と光信号検出用 MOS トランジスタ 1 1 2 とが隣接して設けられている。MOS トランジスタ 1 1 2 として n チャネル MOS (n MOS) を用いている。

この単位画素 1 0 1 の断面構成は、下から順に、p 型の基板 1 1 と、この基板 1 1 上に形成された n 型のエピタキシャル層 1 2 と、このエピタキシャル層 1 2 内に形成された p 型の第 1 のウエル領域 1 5 a 及び第 2 のウエル領域 1 5 b とな

っている。

【 0 0 1 7 】

受光ダイオード 1 1 1 と MOS トランジスタ 1 1 2 は、第 1 のウエル領域 1 5 a と第 2 のウエル領域 1 5 b にそれぞれ形成され、それらのウエル領域 1 5 a 、 1 5 b は互いに繋がっている。

受光ダイオード 1 1 1 の部分の第 1 のウエル領域 1 5 a は光照射による電荷の発生領域の一部を構成している。MOS トランジスタ 1 1 2 の部分の第 2 のウエル領域 1 5 b はこの領域 1 5 b に付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【 0 0 1 8 】

受光ダイオード 1 1 1 の部分においては、第 1 のウエル領域 1 5 a やエピタキシャル層 1 2 は MOS トランジスタ 1 1 2 のゲート領域 1 5 b と繋がっているため、光により発生した電荷のうち正孔を MOS トランジスタ 1 1 2 の閾値電圧変調用の電荷として有効に用いることができる。言い換えれば、第 1 のウエル領域 1 5 a 及びエピタキシャル層 1 2 全体が光によるキャリア発生領域となる。

【 0 0 1 9 】

MOS トランジスタ 1 1 2 の部分においては、ゲート電極 1 9 はリング状を有し、ソース領域 1 6 はリング状のゲート電極 1 9 の内周に囲まれるように形成され、ドレイン領域 1 7 a はリング状のゲート電極 1 9 の外周部を取り囲むように形成されている。ドレイン領域 1 7 a が延在して受光ダイオード 1 1 1 の n 型の不純物領域 1 7 が形成されている。即ち、不純物領域 1 7 とドレイン領域 1 7 a とは第 1 及び第 2 のウエル領域 1 5 a 、 1 5 b の表層に大部分の領域がかかるように一体的に形成されている。

【 0 0 2 0 】

ゲート電極 1 9 は、ドレイン領域 1 7 a とソース領域 1 6 の間の第 2 のウエル領域 1 5 b 上にゲート絶縁膜 1 8 を介して形成されている。ゲート電極 1 9 下の第 2 のウエル領域 1 5 b の表層がチャネル領域となる。さらに、通常の動作電圧において、チャネル領域を反転状態或いはデプレッション状態に保持するため、チャネル領域に適当な濃度の n 型不純物を導入してチャネルドープ層 1 5 c を形

成している。

【 0 0 2 1 】

そのチャネル領域の下第 2 のウエル領域 1 5 b 内であってチャネル長方向の一部領域に、かつチャネル幅方向全域にわたって、即ちソース領域 1 6 の周辺部であって、かつソース領域 1 6 を囲むように、p+ 型のキャリアポケット（高濃度埋込層）2 5 が形成されている。キャリアポケット 2 5 は表面に生じるチャネル領域よりも下側の第 2 のウエル領域 1 5 b 内に形成される。

【 0 0 2 2 】

上記した p+ 型のキャリアポケット 2 5 では、キャリアポケット 2 5 周辺部のウエル領域 1 5 a、1 5 b に比べて不純物濃度を高くしているため、光発生電荷のうち光発生ホールに対して、キャリアポケット 2 5 周辺部のポテンシャルに比べてキャリアポケット 2 5 内部のポテンシャルが低くなる。これにより、光発生ホールをこのキャリアポケット 2 5 に集めることができる。

【 0 0 2 3 】

次に、図 6 を参照して上記の構造の単位画素を用いた MOS 型イメージセンサの全体の構成について説明する。図 6 は、本発明の実施の形態における MOS 型イメージセンサの回路構成図を示す。

図 6 に示すように、この MOS 型イメージセンサは、2 次元アレーセンサの構成を採っており、上記した構造の単位画素 1 0 1 が列方向及び行方向にマトリクス状に配列されている。

【 0 0 2 4 】

また、垂直走査信号（VSCAN）の駆動走査回路 1 0 2 及びドレイン電圧（VDD）の駆動走査回路 1 0 3 が画素領域を挟んでその左右に配置されている。

垂直走査信号供給線 2 1 a、2 1 b は垂直走査信号（VSCAN）の駆動走査回路 1 0 2 から行毎に一つずつでている。各垂直走査信号供給線 2 1 a、2 1 b は行方向に並ぶ全ての単位画素 1 0 1 内の MOS トランジスタ 1 1 2 のゲート電極 1 9 に接続されている。

【 0 0 2 5 】

また、ドレイン電圧供給線（VDD 供給線）2 2 a、2 2 b はドレイン電圧（

VDD) の駆動走査回路 1 0 3 から行毎に一つずつでている。各ドレイン電圧供給線 (VDD 供給線) 2 2 a, 2 2 b は、行方向に並ぶ全ての単位画素 1 0 1 内の光信号検出用 MOS トランジスタ 1 1 2 のドレイン領域 1 7 a に接続されている。

【 0 0 2 6 】

また、列毎に異なる垂直出力線 2 0 a, 2 0 b が設けられて、各垂直出力線 2 0 a, 2 0 b は列方向に並ぶ全ての単位画素 1 0 1 内の MOS トランジスタ 1 1 2 のソース領域 1 6 にそれぞれ接続されている。

さらに、MOS トランジスタ 1 1 2 のソース領域 1 6 は列毎に垂直出力線 2 0 a, 2 0 b を通して信号出力回路 1 0 5 と接続している。信号出力回路 1 0 5 はソース領域 1 6 の電位を記憶し、さらにソース領域 1 6 の電位に対応する映像信号を水平出力線 2 6 を通して映像信号出力端子 1 0 7 に出力する。HSCAN 入力走査回路 1 0 4 により出力するタイミングが制御される。

【 0 0 2 7 】

次に、この発明の実施の形態である、一連の連続した固体撮像素子の光検出動作について説明する。

図 1 は、本発明に係る MOS 型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。

光検出動作は、前述のように、蓄積期間－読出期間－掃出期間（初期化期間）からなる一連の過程を繰り返し行う。蓄積期間は光照射により発生した光発生電荷をキャリアポケット 2 5 に蓄積させる期間であり、読出期間はキャリアポケット 2 5 に蓄積された光発生電荷に対応した閾値電圧の変調を読み出す期間であり、初期化期間はキャリアポケット 2 5 に残留する光発生電荷を排出する期間である。

【 0 0 2 8 】

ここでは、主としてこの発明に係る蓄積期間（期間 A、期間 B）とそれに続く読出期間（期間 C）について詳細に説明する。蓄積期間のうち期間 B は期間 A の後の蓄積期間の終了時の期間である。

図 2 (a) は、この発明に係る図 1 の期間 A における MOS トランジスタ部の

チャンネル領域及びその周辺部の様子を示す断面図である。比較例を図 2 (b) に示す。図 2 (b) は、従来例に係る図 8 の期間 A 0 における MOS トランジスタ部のチャンネル領域及びその周辺部の様子を示す断面図である。

【 0 0 2 9 】

図 3 (a) は、図 2 (a) の I - I 線に沿う深さ方向のポテンシャルを示すグラフであり、図 3 (b) は、図 2 (b) の II - II 線に沿う深さ方向のポテンシャルを示すグラフである。

図 4 は、図 1 の期間 B における MOS トランジスタ 1 1 2 部のチャンネル領域及びその周辺部の様子を示す素子断面図である。

【 0 0 3 0 】

図 5 (a) 乃至 (c) はそれぞれ、期間 A、期間 B、及び期間 C における、ドレイン領域 1 7 a 下のウエル領域 1 5 b からキャリアポケット 2 5 を含むチャンネル領域下のウエル領域 1 5 b を通ってソース領域 1 6 下のウエル領域 1 5 b に至る横方向 (図 4 の III - III 線に沿う方向) のポテンシャルの変化を示す図である。

【 0 0 3 1 】

まず、期間 A において、光信号検出用 MOS トランジスタ 1 1 2 のゲート電極 1 9 を読出期間 C におけるゲート電極 1 9 の正の電位 (以下、ゲート電位ということもある。) と同じ大きさの正の電位、例えば + 2. 0 V に保持する。ドレイン領域 1 7 a 及びソース領域 1 6 とウエル領域 1 5 b とで形成された p n 接合が逆バイアスされ、かつ + 2. 0 V のゲート電位に対して、チャンネル領域が空乏化せず、チャンネル領域に十分な電子密度を持って電子が蓄積されるように、ドレイン領域 1 7 a を正の電位、例えば約 + 1. 6 V (VDD) に保持する。この電位保持は読み出し選択行及び非選択行を問わずすべての画素について行なわれる。

【 0 0 3 2 】

これにより、図 2 (a) 及び図 3 (a) に示すように、チャンネル領域には十分な密度の電子が蓄積される。ソース領域 1 6 はドレイン領域 1 7 a とチャンネル領域を通して繋がり、ドレイン領域 1 7 a の正の電位と同じ正の電位約 + 1. 6 V (VDD) に保持される。これにより、第 1 のウエル領域 1 5 a、第 2 のウエル

領域 1 5 b 及びエピタキシャル層 1 2 内が空乏化する。

【 0 0 3 3 】

さらに、MOS トランジスタ 1 1 2 のチャネル領域を通して電流が流れないように、外部回路と切り離す。

続いて、受光ダイオード 1 1 1 に光を照射して、電子-正孔対（光発生電荷）を発生させる。この光発生電荷のうち光発生正孔が受光ダイオード 1 1 1 の第 1 のウエル領域 1 5 a に蓄積される。このとき、キャリアポケット 2 5 は周辺部の第 1 のウエル領域 1 5 a 及び第 2 のウエル領域 1 5 b に比べてポテンシャルが低いので、図 5 (a) に示すように、第 1 のウエル領域 1 5 a に蓄積された光発生正孔はキャリアポケット 2 5 の方に移動し、キャリアポケット 2 5 に蓄積されていく。

【 0 0 3 4 】

期間 A において、チャネル領域を反転状態にして十分な量の電子を蓄積させることにより、ゲート絶縁膜 1 8 とチャネル領域の界面での準位の正孔発生中心は非活性化されて、界面準位からの正孔の放出が防止される。即ち正孔の放出によるリーク電流が抑制されるため、光発生電荷以外の正孔のキャリアポケット 2 5 への蓄積が抑制され、映像画面において所謂白キズの発生を防止することができる。

【 0 0 3 5 】

また、チャネル領域が反転状態を維持するように、ゲート電極 1 9 の電位を 2 V に、ドレイン領域 1 7 a 及びソース領域 1 6 の電位を 1. 6 V にそれぞれ保持した場合、図 3 (a) に示すように、p 型のウエル領域 1 5 b の表面側の電位が持ち上げられて、キャリアポケット 2 5 の電位の底と頂上との間の電位差（ポテンシャル）が小さくなる。ゲート電極 1 9、ドレイン領域 1 7 a 及びソース領域 1 6 の電位を適当に調整することにより、チャネル領域が反転状態を維持しつつ、キャリアポケット 2 5 のポテンシャルを適当な高さにすることが出来る。これにより、キャリアポケット 2 5 に蓄積される光発生正孔の量を適正に保持することができる。

【 0 0 3 6 】

次に、期間Bにおいて、VSCAN駆動走査回路102の出力(Vpg)を接地電位(MOSトランジスタ112のゲート電位となる)にするとともに、ドレイン領域17a及びソース領域16とウエル領域15bとで形成されたpn接合が期間Aよりもより深く逆バイアスされるようにVDD駆動走査線22a、22bの電位を凡そ3.3V(MOSトランジスタ112のドレイン電位となる)とする。この電位保持も読み出し選択行及び非選択行を問わずすべての画素について行なわれる。

【0037】

これにより、図5(b)に示すように、チャネル領域はディプリション状態を維持するとともに、ウエル領域15b内にはキャリアポケット25に向かうより強い電界が生じてウエル領域15a及び15b内に残存する光発生正孔はすべてキャリアポケット25の方に移送されてキャリアポケット25に蓄積される。キャリアポケット25では、光発生正孔の蓄積電荷量に対応したアクセプタの負電荷量が中性化される。これにより、そのソース領域16付近のポテンシャルが変調されて、MOSトランジスタ112の閾値電圧が変化する。

【0038】

なお、図1に示すように、蓄積期間において、同時に、前の期間に信号出力回路105内のメモリに記憶されたソース電圧が映像信号出力端子107に出力される。

次に、読出期間(期間C)に移る。VDD駆動走査線22a、22bの電位は、読み出し選択行及び非選択行を問わずすべて凡そ3.3V(MOSトランジスタ112のドレイン電位となる)に保持したままにする。このとき、図5(c)に示すように、キャリアポケット25には所謂スミアが生じない程度の適量の正孔が蓄積されている。

【0039】

この状態で読み出し選択行に対応するVSCAN駆動走査回路102の出力(Vpg)を凡そ2.0V(MOSトランジスタ112のゲート電位となる)とし、読み出し非選択行に対応するVSCAN駆動走査回路102の出力(Vpg)を接地電位とする。即ち、読み出し選択行に並ぶMOSトランジスタ112が飽

和状態で動作しうるように、ゲート電極 1 9 を約 2 ～ 3 V の電位に保持し、ドレイン領域 1 7 a を約 3 . 3 V の電位 V D D に保持する。これにより、ドレイン領域 1 7 a 側のチャネル領域に高電界領域が形成され、ソース領域 1 6 に近いキャリアポケット 2 5 上方のチャネル領域の一部に低電界の反転領域が形成される。

【 0 0 4 0 】

そして、読み出し選択行に並ぶ M O S トランジスタ 1 1 2 のソース領域 1 6 に接続された信号出力回路 1 0 5 内のメモリに光発生電荷による閾値電圧の変調に対応するソース電位が順次記憶される。

その後、初期化動作を経て蓄積期間に戻る。蓄積期間では、H S C A N 入力走査回路 1 0 4 から信号出力回路 1 0 5 に入力された信号に従って出力のタイミングが制御され、前の期間に信号出力回路 1 0 5 に蓄積された光照射量に比例した映像信号 (V o u t) を順次取り出すことができる。

【 0 0 4 1 】

以上のように、この発明の実施の形態によれば、蓄積期間 A において、絶縁ゲート型電界効果トランジスタ 1 1 2 のチャネル領域に可動電子を誘起し、蓄積させてチャネル領域が反転状態を維持して界面準位に捕獲された正孔の放出を防止しつつ、光発生正孔をキャリアポケット 2 5 に転送し、蓄積させている。

これにより、蓄積期間において界面準位からの正孔の放出によるリーク電流が抑制されるため、光発生電荷以外の正孔のキャリアポケット 2 5 への蓄積が抑制されて、映像画面において所謂白キズの発生を防止することができる。

【 0 0 4 2 】

また、キャリアポケット 2 5 に蓄積される光発生正孔の量を適正に保持することができるので、映像画面において所謂スミアを防止することができる。

以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【 0 0 4 3 】

例えば、上記の実施の形態では、蓄積期間においてチャネル領域の反転状態を形成するために、特に、ドレイン領域 1 7 a 及びソース領域 1 6 とウエル領域 1

5 b とで形成された p n 接合が逆バイアスされるように、ドレイン領域 1 7 a 及びソース領域 1 6 に電位を保持しているが、場合により、ドレイン領域 1 7 a 及びソース領域 1 6 を接地電位に保持して上記 p n 接合が零バイアスされるようにしてもよい。

【 0 0 4 4 】

また、この発明が適用される固体撮像素子の構造として種々の変形例が考えられるが、他の構造はどうであれ、受光ダイオード 1 1 1 と光信号検出用の MOS トランジスタ 1 1 2 とが隣接して単位画素を構成し、かつ MOS トランジスタ 1 1 2 のチャネル領域下の p 型のウエル領域 1 5 b 内であってソース領域 1 6 の近傍にキャリアポケット（高濃度埋込層） 2 5 が設けられていればよい。

【 0 0 4 5 】

さらに、p 型の基板 1 1 を用いているが、代わりに n 型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。

即ち、ウエル領域及びキャリアポケットは n 型で、キャリアポケットはエレクトロンポケットとなり、キャリアポケットに蓄積すべきキャリアは電子及び正孔のうち電子である。そして、チャネル領域内にウエル領域の導電型と反対の導電型の十分な電荷、即ち十分な正孔が蓄積されることになる。

【 0 0 4 6 】

また、チャネル領域が可動正孔を誘起し、蓄積した反転状態を維持するように、ゲート電極、ドレイン領域及びソース領域の電位を保持したとき、キャリアポケットの電位の底と頂上との間の電位差が低くなる。従って、ゲート電極、ドレイン領域及びソース領域の電位を調整してチャネル領域が反転状態を維持しつつ、キャリアポケットのポテンシャルを適当な高さとなるようにすることにより、キャリアポケットに蓄積される光発生電子の量を適正に保持することができ、映像画面において所謂スミアを防止することができる。

【 0 0 4 7 】

【発明の効果】

以上のように、本発明によれば、受光ダイオードからキャリアポケットに転送

され、蓄積された光発生電荷がチャネル領域内の界面準位に捕獲された電荷によって影響を受けないように、少なくとも光発生電荷の転送中はチャネル領域を反転させている。

【0048】

このように、チャネル領域内に十分な反転電荷を誘起し、蓄積させることにより、チャネル領域内の界面準位の電荷発生中心が非活性化されて、界面準位からの電荷の放出が防止される。即ちリーク電流が抑制されるため、光発生電荷以外の電荷のキャリアポケットへの蓄積が抑制されて、映像画面において所謂白キズの発生を防止することができる。

【0049】

また、チャネル領域が反転状態を維持するように、ゲート電極、ドレイン領域及びソース領域の電位を保持した場合、キャリアポケットの電位の底と頂上との間の電位差を適当な高さにすることが出来るので、キャリアポケットに蓄積される光発生正孔の量を適正に保持し、映像画面において所謂スミアを防止することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態に係る固体撮像装置の光信号蓄積方法について示すタイミングチャートである。

【図2】

(a) は、図1の光信号蓄積方法の蓄積期間の期間Aにおけるチャネル領域周辺部の様子を示す断面図であり、(b) は比較例に係る図8の光信号蓄積方法の蓄積期間の期間A0におけるチャネル領域周辺部の様子を示す断面図である。

【図3】

(a) は、図2(a)に対応する深さ方向のポテンシャルの変化の様子を示すグラフであり、(b) は、図2(b)に対応する深さ方向のポテンシャルの変化の様子を示すグラフである。

【図4】

この発明の実施の形態の固体撮像装置の光信号蓄積方法を説明するMOSトラ

ンジスタ部分の素子断面図である。

【図 5】

(a) 乃至 (c) はそれぞれ、蓄積期間の期間 A、同じく期間 B、及び読出期間（期間 C）における、ドレイン領域下のウエル領域からキャリアポケットを含むチャンネル領域下のウエル領域を通してソース領域下のウエル領域に至る横方向（図 4 の III-III 線に沿う方向）のポテンシャルの変化の様子を示す図である。

【図 6】

この発明の実施の形態に係る固体撮像装置の光信号蓄積方法に用いられる固体撮像装置の全体の回路構成を示す図である。

【図 7】

この発明の実施の形態に係る固体撮像装置の光信号蓄積方法に用いられる固体撮像装置を示す断面図である。

【図 8】

従来例に係る固体撮像装置の光信号蓄積方法を示すタイミングチャートである。

【符号の説明】

- 1 5 a 第 1 のウエル領域
- 1 5 b 第 2 のウエル領域
- 1 5 c チャンネルドープ層
- 1 6 ソース領域
- 1 7 不純物領域
- 1 7 a ドレイン領域
- 1 8 ゲート絶縁膜
- 1 9 ゲート電極
- 2 0 a、2 0 b 垂直出力線
- 2 1 a、2 1 b V S C A N 供給線
- 2 2 a、2 2 b V D D 供給線
- 2 5 キャリアポケット（高濃度埋込層）
- 2 6 水平出力線

2 7 a、2 7 b H S C A N 供給線

1 0 1 単位画素（セル）

1 0 2 V S C A N 駆動走査回路

1 0 3 V D D 駆動走査回路

1 0 4 H S C A N 入力走査回路

1 0 5 信号出力回路

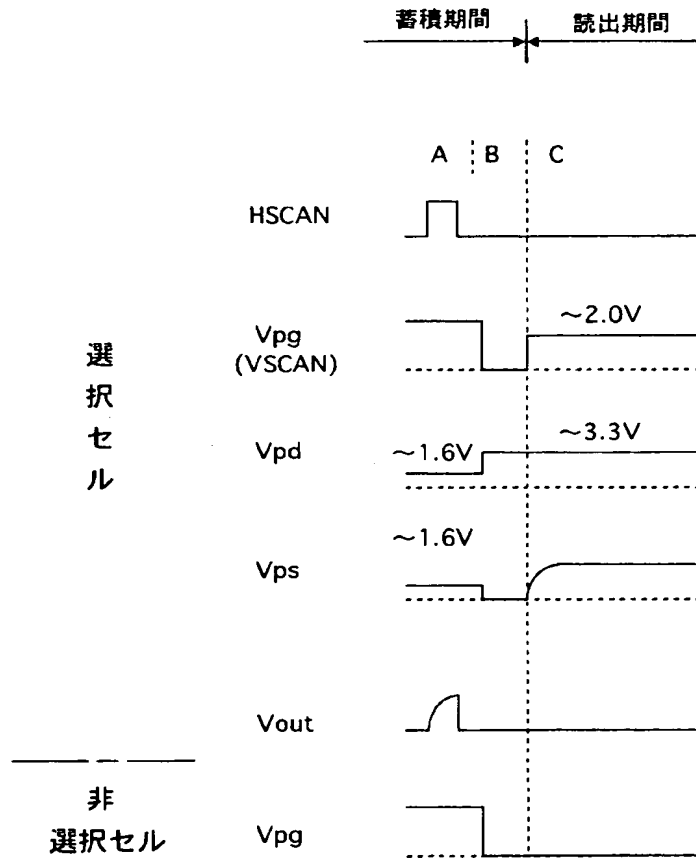
1 0 7 映像信号出力端子

1 1 1 受光ダイオード

1 1 2 光信号検出用絶縁ゲート型電界効果トランジスタ（光信号検出用 M O S
トランジスタ）

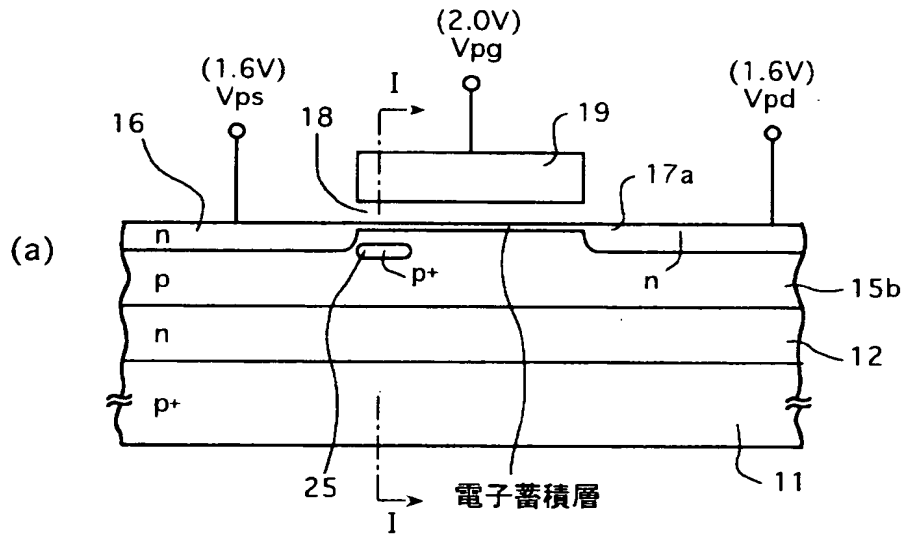
【書類名】 図面

【図 1】

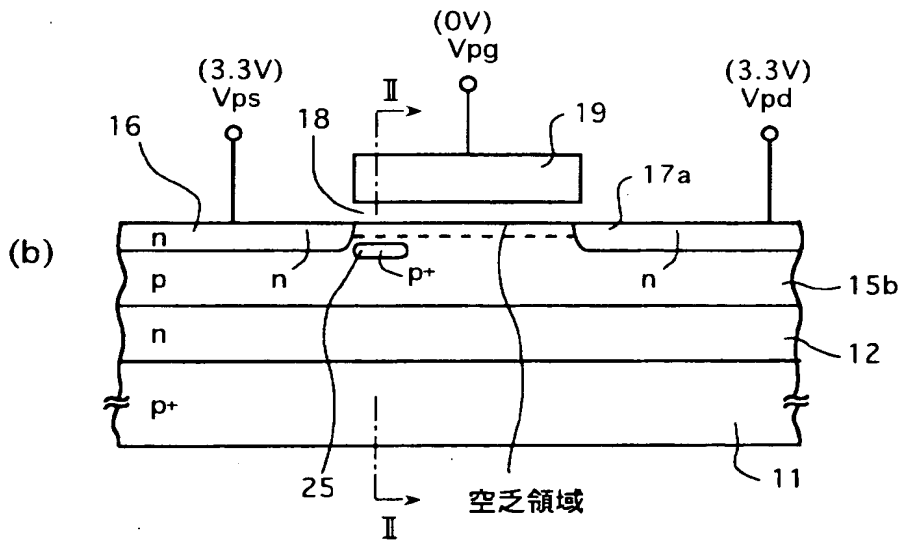


【図 2】

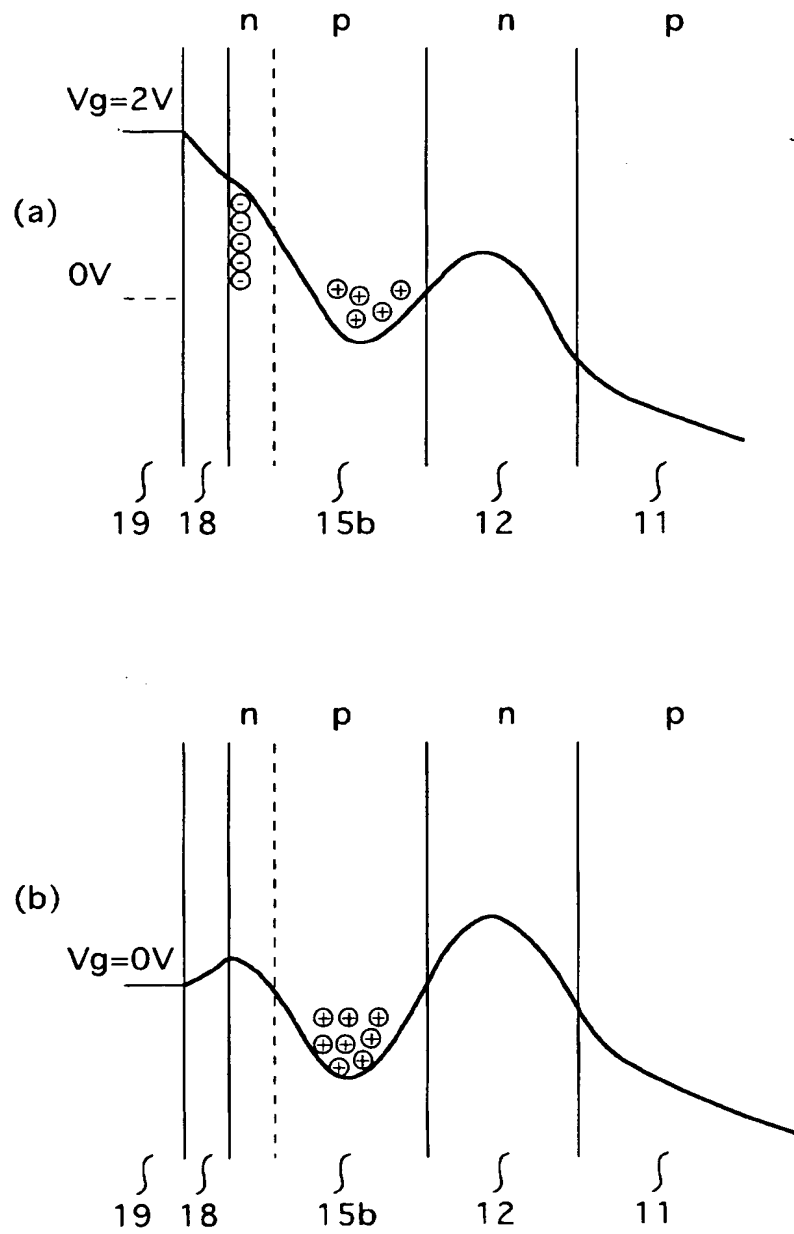
期間A



期間A₀

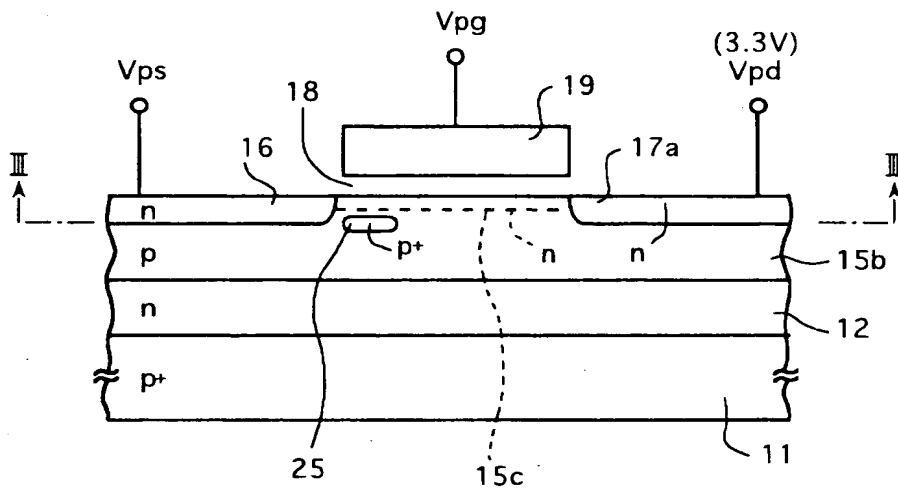


【図 3】

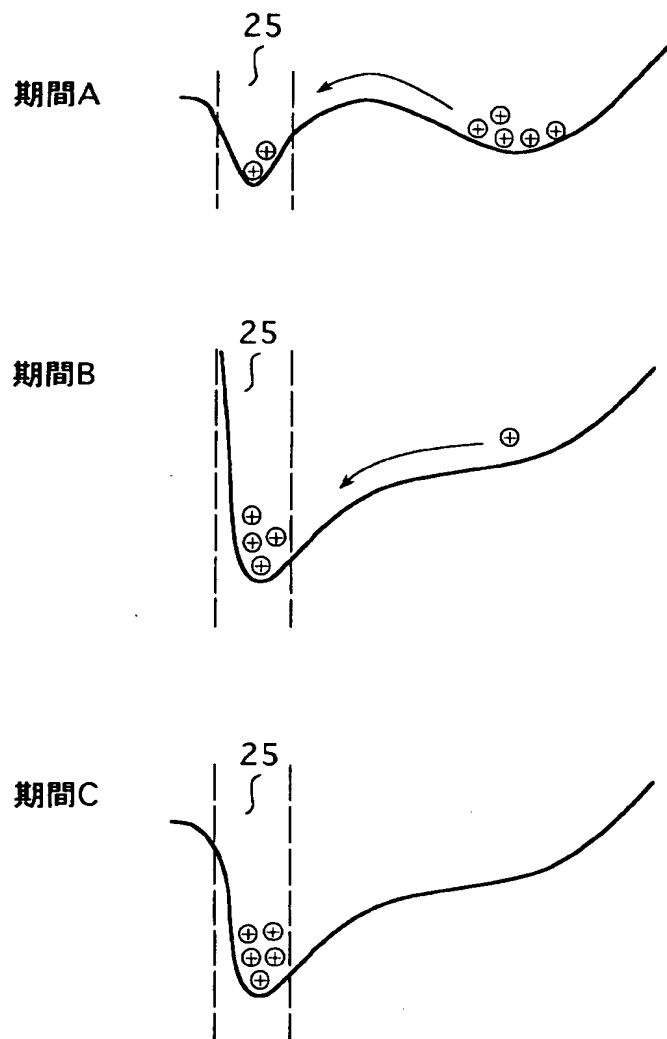


【図 4】

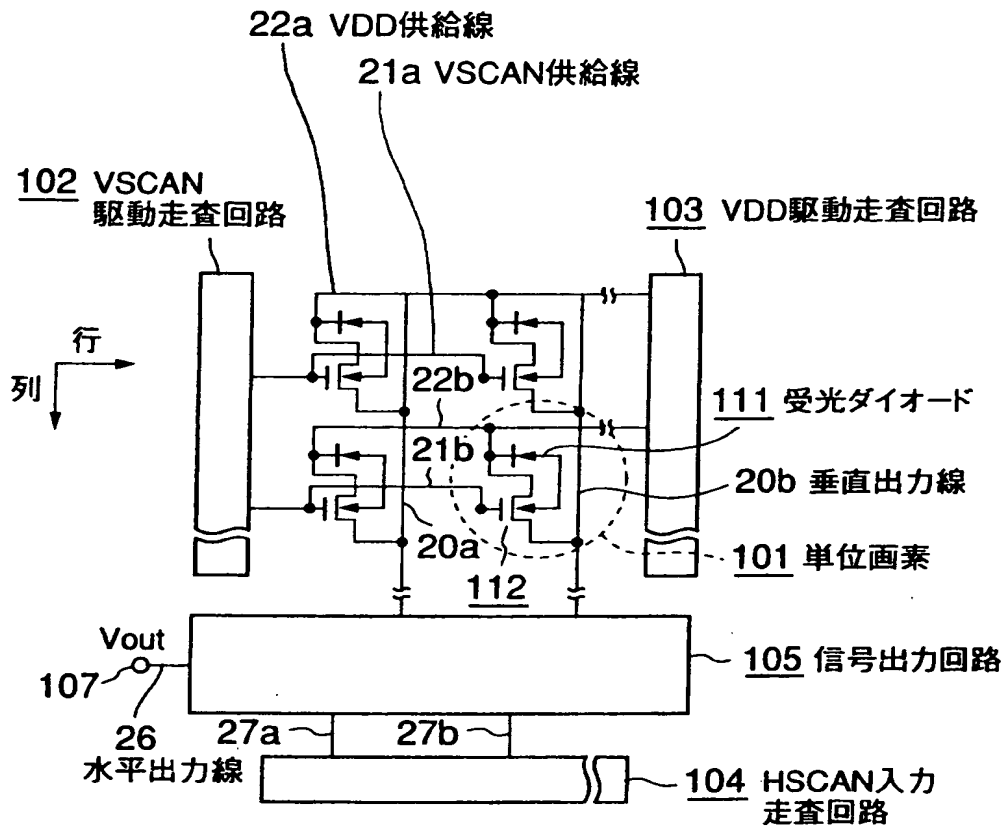
期間B



【図 5】



【図 6】

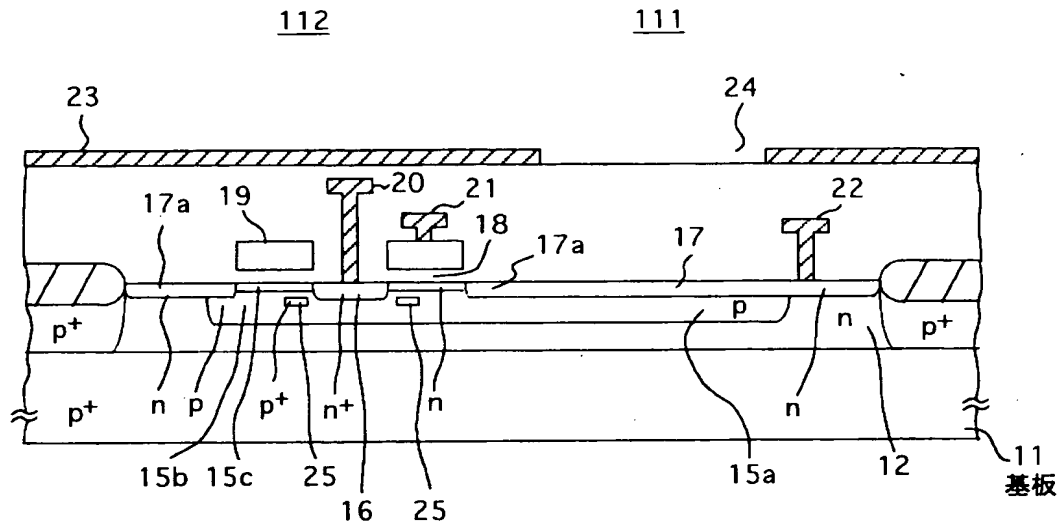


27a,27b: HSCAN供給線

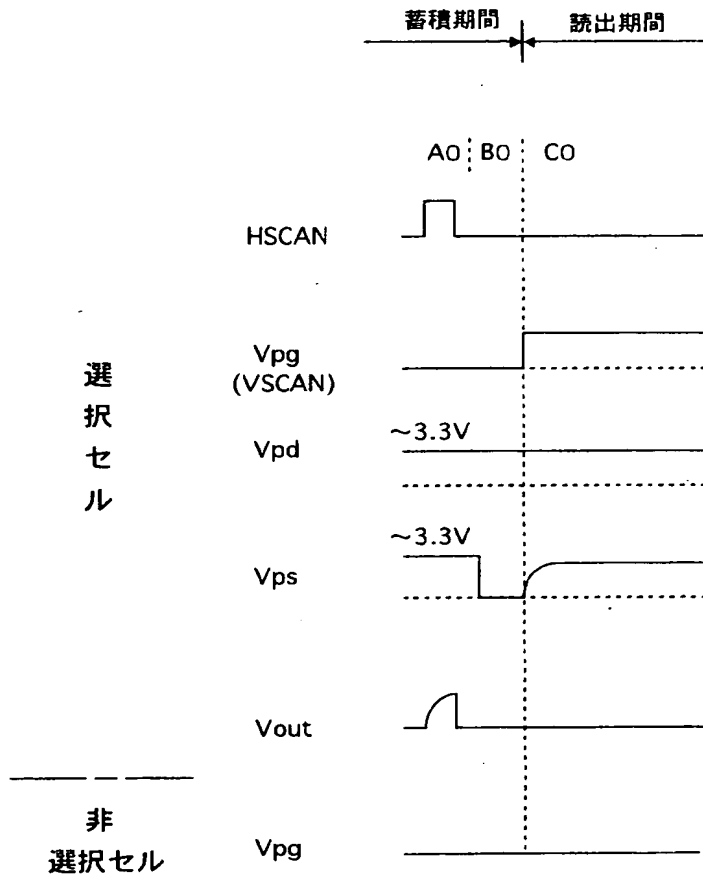
107: 映像信号出力端子

112: 光信号検出用MOSTランジスタ

【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜とチャネル領域の界面での界面準位に起因するリーク電流に起因する所謂白キズの発生を防止し、かつ過剰な光発生電荷に起因するスミアの発生を防止する。

【解決手段】 光信号検出用電界効果トランジスタのチャネル領域の下であってソース領域の近傍に設けられ、受光ダイオードで発生した光発生電荷を蓄積するキャリアポケットを備えた単位画素を有する固体撮像装置の光信号蓄積方法において、受光ダイオードからキャリアポケットに転送され、蓄積される光発生電荷がチャネル領域内の界面準位によって影響を受けないように、少なくとも光発生電荷の転送中はチャネル領域を反転させておく。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [593102345]

1. 変更年月日 1999年 1月21日
[変更理由] 住所変更
住 所 神奈川県横浜市港北区新横浜3-17-6
氏 名 イノテック株式会社